

基于断言的验证方法在 UART 模块中的应用研究

李洋洋, 吴武臣, 王龙伟, 王 宁, 侯立刚

(北京工业大学 集成电路与系统实验室, 北京 100124)

摘 要: 介绍了一种易于实现的基于断言的验证 (ABV) 方法, 即经过 5 个步骤在设计文件中插入断言, 使仿真器在仿真过程中监视设计中的关键功能点. 该方法在 UART 的寄存器传输级 (RTL) 模型功能验证中的应用, 实验中使用 SVA 描述设计属性. 实验证明, 这一方法提高了设计的可观察性, 适用于数字集成电路功能验证.

关键词: 可观察性; 基于断言的验证; SVA; UART

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2010)01-0151-03

Research of Assertion-Based Verification Method on UART

LI Yang-yang, WU Wu-chen, WANG Long-wei, WANG Ning, HOU Li-gang

(VLSI & System Lab, Beijing University of Technology, Beijing 100124, China)

Abstract: This paper presents an easy-approached assertion-based verification (ABV) method by embedding assertions in source codes to monitor key function spots of the design during simulation. This method is approached by five steps. As an application example, a case study of functional verification for a UART RTL model, using System Verilog Assertion (SVA) to describe the properties, is provided. The studied result shows that the new method is feasible and can be applied in the design and verification process to increase the observability of the design.

Key words: observability; assertion-based verification; system verilog assertion (SVA); UART

1 引言

在集成电路设计开发流程中随着 IP 核的复用, 开发重点正在从设计渐渐转移到验证, 提高验证的效率已经成为产品开发的关键. 这就需要一种能够增加设计可观察性从而使设计缺陷更易于发现和诊断的方法. 基于断言的验证 (ABV) 就是这样一种方法, 它把断言、仿真以及形式技术结合到传统的验证过程当中^[1-2].

以 SVA 为例, 作为 System Verilog^[3-4] 的一个子集, SVA 得到了越来越多的应用. 当使用 SVA 来描述特定的设计功能点时, 设计错误易于定位和调试. 因为每个断言都有唯一的一个名字, 通常为了便于追踪错误, 断言会被嵌入到设计源文件中接近待验证功能点的位置, 经过检查日志文件, 可以找到失败的断言, 以及它们在源文件的确切位置, 而错误的设计代码就在断言附近. 目前断言通常只用在验证阶

段, 因此为了更彻底的检查设计需要尽可能多的在设计中插入断言. 近年来有一些关于断言综合及其在 FPGA 原型验证中应用的研究, 这就要考虑到断言数目对占用硬件资源的影响, 因此只有在必要时才插入断言. 从整个开发流程的角度来看, 上述方法增加了设计的可观察性从而少了调试时间, 最终会增加产品提早上市的可能性.

2 ABV 在基于仿真的验证中的应用

文献[3]中根据 Harry Foster^[5] 的阐述总结了 ABV 在形式验证中的应用方法. 由于形式验证本身的不足, 目前验证仍然是以基于仿真的验证方法为主. 文中为了把文献[3]提出的方法应用在基于仿真的验证过程, 将这种方法调整和简化为 5 个步骤:

(1) 列出设计端口信号;

(2) 列出待验证模块的验证需要: 即模块内部的属性及需要满足的特点;

(3) 列出模块端口信号需要满足的要求;

(4) 把前面用自然语言表述的验证需求用断言语言或断言库来描述;

(5) 定义功能覆盖点.

3 UART 的功能验证

以 UART 的功能验证为例,文中介绍上述方法在实际设计中的应用. UART 是通用异步收发器的缩写,它是进行数据串并行转化传输的计算机硬件,发射器从主机读取并行数据并将其转化为串行模式发射;接收机接收串行数据,并检查数据传输:包括数据是否以串行方式接受,是否去掉了数据的开始位和结束位,以及数据是否以并行方式存储.

3.1 列出端口信号

图 1 所示为 UART 发射器的端口信号图. UART 发射器由 UART 控制器,以及数据、移位和计数寄存器组成.在模块级验证中,把它看成黑箱.就是说不关心具体功能怎样实现,只检查端口信号是否满足设计规范的要求,特别是时序要求.

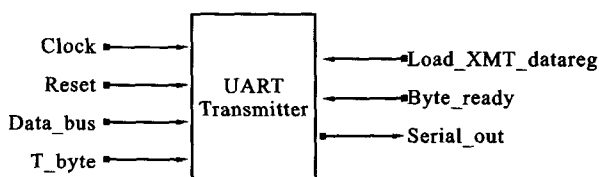


图 1 UART 发射器的端口图

3.2 列出内部待验证的功能点

对于几乎每个设计来说,控制部分是设计中最关键的组成部分,同时也是最有可能存在严重设计缺陷的部分.因此应当着重验证这一部分是否正确.在 UART 发射器当中,控制模块式通过有限状态机(FSM)实现,因此检查 FSM 是否严格按照设计规范所描述的那样工作是功能验证的关键.在 FSM 的验证中,通常要检查的是保证状态机中不同状态之间的相互转换正确并且满足时序要^[6].图 2 所示为 UART 发射器的状态转移图.

表 1 所示为需要验证的状态转移.表中第一行表示当前状态,第一列则表示下一状态.表中的每一个“√”号表示一个需要验证的状态转移.除了表中所列的简单的状态转移之外,也需要对 FSM 进行额外的检验,例如是否执行了一个完整的状态转移串,因为这表明了 UART 发射器完成了一个完整的数据传输.另外 FSM 中的状态编码是否保持 One-hot 状态也应该进行检查.

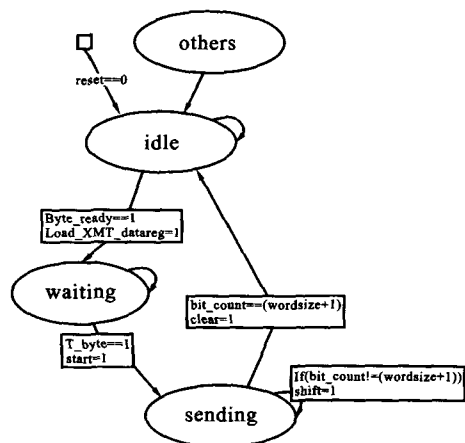


图 2 UART 发射器状态转移图

表 1 需要验证的状态转移

N \ C	others	idle	waiting	sending
others				
idle	√			√
waiting		√		
sending			√	

3.3 列出对端口信号的验证需求

在 UART 发射器的块级验证中,检查待验证模块(DUV)能否和与它有公共信号的其它模块一起正常工作.因为发射器在设计中已经是顶层模块,它只被测试台例化引用,因此文中检查是否测试台能够为发射器的 RTL 模型产生有效的激励信号.为了使 UART 发射器正常工作,测试台必须按照特定的要求和时序提供给 DUV 控制信号,如表 2 所示.

表 2 端口信号的验证要求

相关端口信号	待验证的特点
Byte_ready, reset	在 reset 信号撤销不少于一个周期之后 Byte_ready 最终被置高
T_byte, Byte_ready	在 Byte_ready 被置高之后的不少于一个时钟之后 T_byte 被置高
Load_XMT_datareg, Data_bus	在 Load_xmt_datareg 跳变为高后, data_bus 上必须有有效的数据
...	...

3.4 用 SVA 描述设计要求

可以直接从断言库在设计中例化断言,或者是用 SVA 描述断言.本例应用后者,首先需要用 SVA 的关键字“Sequence”描述需要验证的逻辑事件或逻辑事件的组合,当然也可以描述布尔表达式.之后用关键字“Property”来表示设计中一个特定功能的复杂行为. Porperty 就是在仿真过程中需要检验的基本单元.关键字“Assert”用来定义待检验的特性.下

面是一个完整的 SVA 检验器.它检查在接到有效的控制信号序列之后,当前状态是否能从“waiting”转换到“sending”并持续九个时钟周期,之后稳定在“idle”状态.

```
sequence s_finish_sending;
```

```
  ##1 ((state == sending) [* 9]) ##1 (state == idle);
endsequence; //Define a sequence
```

```
property p_finish_sending;
```

```
@(posedge Clock) (reset_) && (state == sending)
&& ($past(state) == waiting) | -> s_finish_sending;
endproperty; //Define a property
```

```
a_finish_sending: assert property(p_finish_sending);
```

```
c_finish_sending: cover property(p_finish_sending);
```

```
//Define a coverage spot
```

3.5 定义功能覆盖点

在这一步,把一些属性定义为功能覆盖点,这样断言覆盖率就可以作为功能覆盖率的参考.通常断言有两个作用,一个是作为检查某种特定功能的检验器,另一个是覆盖率统计分析.例如,前面的例子中的断言不仅可以检查 FSM 是否完成了一连串的状态转换,通过关键字“Cover”,也可以在仿真中统计这样的状态转换总共进行了几次,用法如前例所示.在这个例子中,文中把前面所定义的属性全部定义为覆盖点.

仿真过程检查两个状态之间的转换是否按设计规范所描述的那样进行,另外通过定义覆盖点,可以得到关于状态转换数目的信息.事实上这就是一种 FSM 覆盖率分析.通过分析覆盖率报表,可以判断验证是否充分.图 3 是仿真报表的一部分.

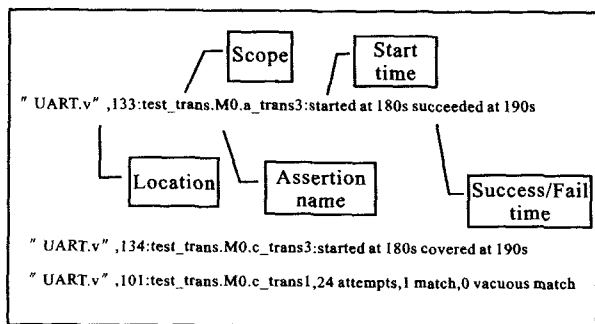


图 3 仿真报表

通过对仿真过程中的参量设置,可以得到关于断言名称、位置、开始即结束时间等的详细信息,得到这些信息后,定位以及调试设计错误就变得非常容易了.通过定义覆盖点,仿真后就可以得到每个

断言的统计分析,例如有多少个尝试,多少个成功/失败以及多少次空成功等.图 4 所示为 UART 仿真后覆盖率报表的一部分.

Cover Directive for Properties	Attempts	Matches	Vacuous Matches	Incompletes
test_trans.M0.c_control_seq_1	24	1	0	0
test_trans.M0.c_control_seq_2	24	1	0	0
test_trans.M0.c_finish_sending	24	1	0	0
test_trans.M0.c_one_hot_check	24	24	0	0
test_trans.M0.c_trans1	24	1	0	0
test_trans.M0.c_trans2	24	1	0	0
test_trans.M0.c_trans3	24	1	0	0
test_trans.M0.c_valid_data	24	3	0	0

图 4 覆盖率报表

文中定义在每个断言均成功一次仿真过程即被终止,也可以调整为当每个断言成功两次或者更多次之后仿真过程终止,这样可以提高验证的完整性及可靠性.另外,可以给每个断言赋予不同的严重等级,在每种严重等级下,如果一些断言失败,仿真器会采取不同的措施,例如终止仿真或是只显示失败的消息而继续仿真.图 5 及图 6 为仿真器的部分输出波形,其中向上的箭头表示断言成功.

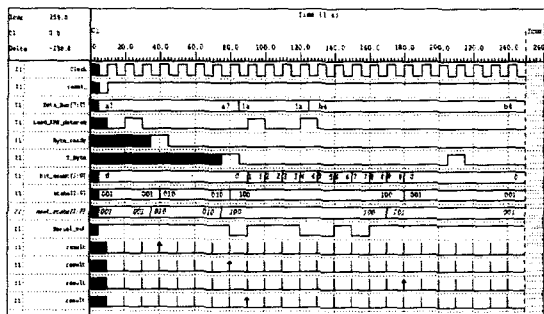


图 5 输出波形-1

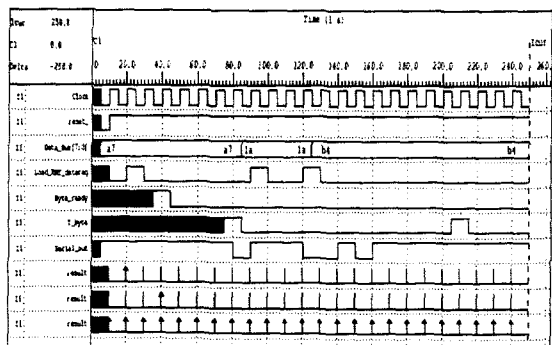


图 6 输出波形-2

4 结束语

文中介绍了数字集成电路功能验证中一种易于
(下转第 157 页)

由表1可以看出,针对不同的维数,SQPSO算法的平均最优值明显好其它两种算法.图2与图3是5维Griewank函数采用三种算法运行50次后得到的平均在线性能与离线性能曲线,其中在线性能测试动态特性,反映了算法搜索最优适应值的演变过程,而离线性能测试收敛特性反映了一代种群的总体性能.从图2和图3可以看出,文中的算法很快收敛于全局最优解,且动态性能稳定,搜索效率高.

5 结束语

文中提出了一种非线性单纯形搜索与量子粒子群算法的混合优化算法,该算法将单纯形法与量子粒子群算法的优点有机的结合起来,不仅保持了QPSO算法简单易实现的优点,而且提高了算法在解空间的探索能力和收敛精度,更好地平衡了粒子的全局搜索与局部搜索能力.仿真结果表明,该算法具有较高的优化性能,对解决大规模、高维、非线性等复杂的工程问题有借鉴意义.

参考文献:

- [1] Eberhart R, Kennedy J. A new optimizer using particles swarm theory[C]//Proc Sish International Symposium on Micro Machine and Human Science. Japan, Nagoya, IEEE Servicecenter, Piscataway, 1995:39-43.

- [2] Sun J, Feng B, Xu WB. Particle swarm optimization with particles having quantum behavior [C]//Proceedings of 2004 Congress on Evolution Computation. China, Jiangsu, Piscataway, NJ: IEEE Press, 2004: 325-331.
- [3] Sun Jun, Feng Bin, Xu Wenbo. A global search strategy of quantum-behaved particleswarm optimization[C]//IEEE Conference on Cybernetics and Intelligent System. China, Wuxi, Piscataway NJ: IEEE Press, 2004: 1111-16.
- [4] Nelder J, Mead R. A simplex method for function minimization[J]. Computer Journal, 1965(7):308-31.
- [5] 王芳, 邱玉辉. 一种引入单纯形法算子新颖粒子群算法[J]. 信息与控制, 2005, 34(5): 517-522.
- [6] 熊伟丽, 徐保国. 带变异算子的改进粒子群算法研究[J]. 计算机工程与应用, 2006(26): 1-3.
- [7] 林星, 冯斌. 混沌量子粒子群优化算法[J]. 计算机工程与设计, 2008, 29(10): 2610-2612.

作者简介:

任小康 男, (1965-), 硕士, 教授, 硕士生导师. 研究方向为多媒体信息处理.

郝瑞芝 女, (1985-), 硕士研究生. 研究方向为多媒体信息处理.

孙正兴 男, (1985-), 硕士研究生. 研究方向为多媒体信息处理.

史雯雯 女, (1980-), 硕士研究生. 研究方向为数据挖掘.

(上接第153页)

实现的基于断言的验证方法. 这一方法应用在一个UART的RTL级Verilog模型的功能验证中. 仿真器使用Synopsys VCS 7.2. 在仿真过程中“边角问题”可以很容易检查, 设计缺陷和错误可以在波形上或输出报表里明显的显示出来. 此外, 断言覆盖率也可以直接用于功能覆盖率分析. 实验结果表明文中的方法提高了设计的可观察性, 并且适用于设计的RTL级模型的功能验证.

参考文献:

- [1] Ziv A. Cross-product functional coverage measurement with temporal properties-based assertion [C] // Proceedings of Design, Automation and Test in Europe Conference and Exhibition. IEEE Comput. Soc, Los Alamitos, CA, USA, 2003: 834-839.
- [2] 褚晓滨, 陆铁军, 宗宇. 结合断言与覆盖率为导向的验证

方法[J]. 微电子学与计算机, 2008, 25(11): 139-142.

- [3] Yeung P, Subramanian S. Applying assertion-based formal verification to verification hot spots [M]. USA: Wilsonville Mentor Graphics Technical Library, 2007.
- [4] 闫沫, 刘钊远. SystemVerilog语言在数字系统设计中的应用[J]. 微电子学与计算机, 2008, 25(6): 127-131.
- [5] Foster H. Integrating formal verification into a traditional flow [M]. Mentor Graphics White Paper, 2006.
- [6] Vijayaraghavan S, Ramanathan M. System verilog assertions 应用指南 [M]. 北京: 清华大学出版社, 2006: 133-143.

作者简介:

李洋洋 女, (1983-), 硕士研究生. 研究方向为VLSI设计与验证.